

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-266043

(43) 公開日 平成11年(1999) 9月28日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 43/08

H 0 1 L 43/08

Z

G 1 1 B 5/39

G 1 1 B 5/39

H 0 1 F 10/12

H 0 1 F 10/12

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号

特願平10-68096

(22) 出願日

平成10年(1998) 3月18日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 佐藤 俊彦

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 中谷 亮一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 トンネル磁気抵抗効果素子、これを用いた磁気センサー、磁気ヘッド及び磁気メモリー

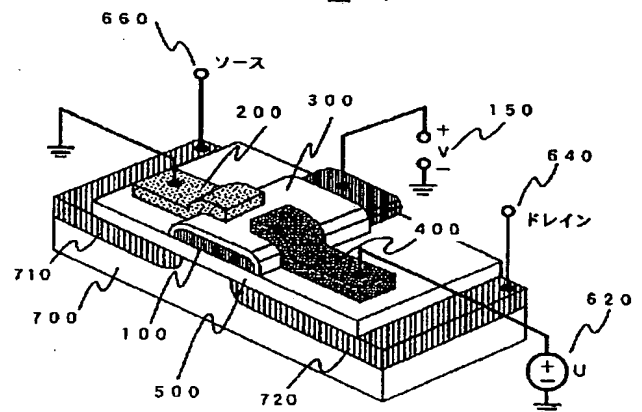
(57) 【要約】

【課題】 外部回路とのインピーダンス整合が取れ、素子間の特性のばらつきが低減された、トンネル接合型磁気抵抗効果を得る。

【解決手段】 MOS型電界効果トランジスタ (MOSFET) のゲートに磁性体を用い、この磁性体ゲート電極に、磁性体とのトンネル接合、及び、非磁性体とのトンネル接合を、磁性体ゲート電極表面上の異なる2カ所で形成し、これら二つのトンネル接合を介して該磁性体ゲート電極のバイアスを行い、外部磁界の変化に追従して該磁性体ゲート電極電位が変化することを利用し、該MOS型電界効果トランジスタのドレイン電流を変化させて、磁気センサーとした。

【効果】 TMR素子と外部回路とのインピーダンス整合が取れ、素子間の特性ばらつきが低減された、高感度のトンネル接合型磁気抵抗効果素子が得られる。

図 1



【特許請求の範囲】

【請求項 1】基板上に、ソース領域、ドレイン領域及びゲート絶縁膜を有し、該ゲート絶縁膜上に、第一の磁性体膜からなるゲート電極を設けた電界効果トランジスタ素子において、前記第一の磁性体膜上の一部にトンネル接合膜を介して積層された第二の磁性体膜を有し、かつ、該第一の磁性体膜上の他の一部に前記トンネル接合膜を介して積層された第三の磁性体膜とを有する磁気抵抗効果素子の、前記第一の磁性体膜と前記第二の磁性体膜の間のトンネル電流には正のトンネル磁気抵抗効果が発生し、かつ、前記第一の磁性体膜と前記第三の磁性体膜との間のトンネル電流には、前記正のトンネル磁気抵抗効果とは異なる大きさのトンネル磁気抵抗効果が発生することを特徴とするトンネル磁気抵抗効果素子。

【請求項 2】上記第一の磁性体膜と上記第二の磁性体膜の間のトンネル接合膜と、前記第一の磁性体膜と上記第三の磁性体膜の間のトンネル接合膜が、直列に、定電圧バイアス回路に接続されていることを特徴とする請求項 1 記載のトンネル磁気抵抗効果素子。

【請求項 3】上記第一の磁性体膜の、上記第二の磁性体膜に対する電位の変化、または、上記第三の磁性体膜に対する電位の変化に対応して変化する上記ドレイン領域を流れる電流を用いて出力信号を得ることを特徴とする請求項 1 または 2 記載のトンネル磁気抵抗効果素子。

【請求項 4】上記電界効果トランジスタ素子において、上記定電圧バイアス回路によるゲート電位調節により、ゲート閾電圧を選択し、外部磁界の変化に対する上記出力信号の応答性を選択可能としたことを特徴とする請求項 3 記載のトンネル磁気抵抗効果素子。

【請求項 5】基板上に、ソース領域、ドレイン領域及びゲート絶縁膜を有し、該ゲート絶縁膜上に、第一の磁性体膜からなるゲート電極を設けた電界効果トランジスタ素子において、前記第一の磁性体膜上の一部にトンネル接合膜を介して積層された第二の磁性体膜を有し、かつ、該第一の磁性体膜上の他の一部に前記トンネル接合膜を介して積層された非磁性体膜とを有する磁気抵抗効果素子の、前記第一の磁性体膜と前記第二の磁性体膜の間のトンネル電流には正のトンネル磁気抵抗効果が発生し、かつ、前記第一の磁性体膜と前記非磁性体膜との間のトンネル電流には、トンネル磁気抵抗効果が発生しないことを特徴とするトンネル磁気抵抗効果素子。

【請求項 6】上記第一の磁性体膜と上記第二の磁性体膜の間のトンネル接合膜と、前記第一の磁性体膜と上記非磁性体膜との間のトンネル接合膜が、直列に、定電圧バイアス回路に接続されていることを特徴とする請求項 5 記載のトンネル磁気抵抗効果素子。

【請求項 7】上記第一の磁性体膜が硬磁性体膜であるとき、上記第二の磁性体膜の材料は軟磁性体であり、該第一の磁性体膜が軟磁性体膜であるとき、該第二の磁性体膜の材料は硬磁性体であることを特徴とする請求項 1 か

ら 6 までのいずれかに記載のトンネル磁気抵抗効果素子。

【請求項 8】上記硬磁性体膜として、Co-17at%Pt膜、Co-Cr-Ta 系合金膜またはNi-Fe/Mn-20at%Ir/Cu/Hf/SiO₂/Si (基板) の積層膜から選ばれるいずれかを用い、かつ、上記軟磁性体膜として、Ni-20at%Fe膜、Ni-16at%-18at%Co膜またはCo-10at%Fe膜から選ばれるいずれかを用いることを特徴とする請求項 7 記載のトンネル磁気抵抗効果素子。

【請求項 9】請求項 1 から 8 までのいずれかに記載のトンネル磁気抵抗効果素子を用いたことを特徴とする磁気センサー。

【請求項 10】請求項 1 から 8 までのいずれかに記載のトンネル磁気抵抗効果素子を再生用ヘッドとして用いたことを特徴とする磁気ヘッド。

【請求項 11】上記トンネル磁気抵抗効果素子を、SOI 基板の上部シリコン層中に形成することを特徴とする請求項 10 記載の磁気ヘッド。

【請求項 12】請求項 1 から 8 までのいずれかに記載のトンネル磁気抵抗効果素子を用いて、トンネル磁気抵抗効果により、上記第一の磁性体膜からなるゲート電極の磁化状態を変化させることを特徴とする磁気メモリー。

【請求項 13】上記第一の磁性体膜からなるゲート電極に近接して設けられた電気配線に電流を流し、誘導される磁界によって、上記磁化状態を変化させることを特徴とする請求項 12 記載の磁気メモリー。

【請求項 14】ワード線、データ線、書き込み線及び書き込みバイアス線の全て、または、一部を有することを特徴とする請求項 12 または 13 記載の磁気メモリー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高い感度を有するトンネル磁気抵抗効果素子、これを用いた磁気センサー、磁気ヘッド及び磁気メモリーに関する。

【0002】

【従来の技術】フィジクス レターズ (Physics Letters), 54A 巻 (1975 年), 3 号, 225 ページ (文献 1) には、トンネル磁気抵抗効果に基づく磁気センサーとして、TMR 素子が提案されている。TMR 素子は、従来の磁気抵抗効果素子 (MR 素子) に比べ大きな磁気抵抗効果を示すため、将来の再生用磁気ヘッドとしての応用が期待されている。

【0003】TMR 素子は図 3 に示すように、絶縁体層 310 を磁性層 110 及び磁性層 210 で挟んだ構造を持つ。これら二種類の磁性層 110 及び 210 が異なる保持力を有する場合、外部磁界 800 の変化に対応して、各磁性層の磁化の向きの関係が、互いに平行である場合と反平行である場合との間を変化する現象が起こる。一方、上記二種類の磁性層間にバイアス電圧 V を印加すると、誘電体層を介したトンネル電流 I が流れる、トンネ

ル抵抗 R が、 $R=V/I$ で定義できる。このトンネル抵抗 R の大きさを観測すると、上記磁性層間の磁化の向きが平行か反平行であるかによって、トンネル抵抗 R も変化する。このような、外部磁界によって変化するトンネル抵抗 R の変化を捕らえて磁気センサーとするのが、上記トンネル磁気抵抗効果に基づくTMR素子である。

【0004】

【発明が解決しようとする課題】従来の磁気抵抗効果素子(MR素子)は、素子の端子間を電流バイアスし、外部磁界変化によって端子間に発生する、電圧変化を検出する回路構成が取られている。従来のMR素子をTMR素子に置き換えられる場合、端子間のインピーダンスに大きな差があることが問題である。

【0005】

実際、ジャーナルアブライドフィジクス(J. Appl. Phys.) 79巻(1996年), 8号, 4724ページ

(文献2)に見られるように、従来のMR素子が数十オーム程度の大きさであるにも関わらず、TMR素子の端子間インピーダンスは、数キロオーム以上である。その主な理由は、誘電体トンネルバリア層の作製方法の制御性にある。文献2に見られるように、必要とされる1~2ナノメートル程度のトンネルバリアが、同程度の厚さのAl等による金属膜の酸化によって得られる。ピンホールによるリーク電流が少ないトンネルバリア層を作製するには、十分厚い平均膜厚を必要とする。その結果、トンネル抵抗が一定の値以下には下げられない。また、この方法で作製される素子間のトンネル抵抗値のばらつきは大きい。なぜならば、トンネル抵抗の値は、トンネルバリア層の厚さに指数的に依存し、誘電体層の厚さのわずかなばらつきが、大きなトンネル抵抗のばらつきとなって現れるからである。特に、同一基板上に作製される素子間のトンネル抵抗値のばらつきに比べ、異なる基板に作製される素子のばらつきは大きくなる。なぜならば、酸化過程の再現性及び制御性が十分ではないからである。

【0006】以上述べたように、本発明が解決しようとする課題は、(1) TMR素子と外部回路とのインピーダンス整合の問題、(2) 素子間の特性ばらつきの低減、である。

【0007】

【課題を解決するための手段】上記課題を解決するため、図1に示すような、MOS型電界効果トランジスタ(MOSFET)を利用した構成を用いる。図1に示した素子の一部は、p型シリコン基板700上に、n型にドープされたソース領域710、ドレイン領域720、及び、ゲート酸化膜500を有し、さらに、このゲート酸化膜上に磁性体ゲート電極100を設けた、いわゆるMOSFETの構成を取っている。通常MOSFETと異なる点は、ゲートに磁性体を使っている点に加え、さらに、その上面全体にトンネル酸化膜300が積層され、このトンネル酸化膜300上に、磁性体層200と非磁性体層400が設けられている点にある。この状況で

は、磁性体ゲート電極100と磁性体層200が上下に重なり合う領域で、トンネル酸化膜300の一部を介したトンネル接合が形成されている。磁性体ゲート電極100と非磁性体層400との間においても、同様のトンネル接合が形成されている。

【0008】この素子のバイアス条件は、磁性体層200に対するソース領域710、ドレイン領域720の電位及びこれらの電位差、及び、磁性体層200と非磁性体層電極400の間に印加されるバイアス電圧 U_{620} によって決められる。なお、磁性体ゲート電極100と磁性体層200の間に発生する電圧150を V と記した。

【0009】図2(1)に、上記の素子の等価回路を示した。図2(1)において、磁性体層200と磁性体ゲート電極100との間に形成されるトンネル接合の、トンネル抵抗550を R_1 、トンネル接合容量560を C_1 、と記した。磁性体層200と磁性体ゲート電極100の間のトンネル現象には、従来の、異なる保持力を有する磁性体間のトンネル接合同じように、トンネル磁気抵抗効果が発生する。そのため、図2ではトンネル抵抗550を、外部磁界800によって変化する、可変抵抗とした。一方、非磁性体層400と磁性体ゲート電極100との間に形成されるトンネル接合の、トンネル抵抗570を R_2 、トンネル接合容量580を C_2 と記した。この接合においては、上記のようなトンネル磁気抵抗効果は生じない。

【0010】ここで、バイアス電圧 U が印加された非磁性体層400から、トンネル酸化膜300と磁性体ゲート電極100を経由し、磁性体層200へ通じる電流経路を考える。磁性体ゲート電極100と磁性体層200の間に発生する電圧 $V(150)$ は、バイアス電圧 U_{620} が二つのトンネル抵抗 $R_1(550)$ と $R_2(570)$ によって分圧された電圧 $V = \{1/(1+R_2/R_1)\} \cdot U$ となる。外部磁界800が変化すると、上記トンネル磁気効果により、トンネル抵抗 $R_1(550)$ が変化し、上記分圧比が変化して、電圧 $V(150)$ が変化する。ところが、磁性体ゲート電極100は、ゲート酸化膜500を介して、ソース、ドレイン間に形成されるチャンネルに容量的に結合されているため、電圧 $V(150)$ の変化は、ドレイン電流680の変化を生ずる。したがって、ドレイン電流680の変化を観測すれば、外部磁界800の変化が観測できる。

【0011】この対応関係を示したのが図2(2)及び(3)である。これらの図において、横軸は、外部磁界800を表し、グラフの左端では、磁性体層200と磁性体ゲート電極100の双方が飽和するに十分な大きさの磁界となっているものとする。ここで、説明の便宜上、仮に、磁性体ゲート電極100が硬磁性体、磁性体層200が軟磁性体であるとする。図中の白抜きの矢印は、飽和した状態の硬磁性体の磁化の向きを表し、黒塗

りの矢印は、飽和した軟磁性体の磁化の向きを表している。この状態から、外部磁界800の向きを回転させるか、大きさを減少させ、両磁性体の磁化の向きに平行な外部磁界の成分の大きさがゼロとなるまで減少させても、各磁性体の磁化の向きは変化しない。このため、トンネル抵抗R1及びR2の値は変化しないから、TMR出力V(150)は変化しない。ところが、外部磁界800の平行成分の大きさがゼロを通り、その向きが変化して再び増加すると、軟磁性体の磁化の向きは、この変化した外部磁界800の向きに追従するが、硬磁性体の方は、その保持力のために、その向きが変化せず、磁化の向きが保たれる。このため、トンネル磁気抵抗効果により、両磁性体の磁化の向きの違いに依存して、トンネル抵抗R1(550)が増加する。このため、図2

(2)に示すように、TMR出力V(150)が増加する。この状態から、さらに外部磁界800の大きさを増加させる(すなわち、横軸をさらに右に辿ると)、硬磁性体の磁化も徐々に反転し、両磁性体の向きは、再び平行となる。このため、トンネル抵抗R1(550)は減少して、ほぼもとの値に戻る。

【0012】一方、磁性体ゲート電極100以下に形成されているMOSFETは、以下のようなバイアス条件になっている。すなわち、両磁性体の磁化が平行であって、TMR出力V(150)が低い状態の、MOSFETのソース電位を基準とした磁性体ゲート電極100の電位は、上記ソース電位を基準としたドレインの電位よりも低く、ソースドレイン間に十分な反転層が形成されておらず、少なくとも、チャネルの形成が無い状況であるようになっている。さらに、両磁性体の磁化が反平行により近くなって、TMR出力V(150)が高い状態の、MOSFETのソース電位を基準とした磁性体ゲート電極100の電位は、ソースドレイン間に十分な反転層が形成されているか、または、チャネルが形成されている状況であるように設定される。

【0013】なお、フィジクス オブ セミコンダクタ デバイス、ジョン・ウィリ アンド サンズ、ニューヨーク (Physics of Semiconductor Devices, John Wiley & Sons, New York), 1981, 第8章 (文献3)に述べられているように、通常、上記チャネルの形成が有る場合を、MOSFETのON状態と呼び、チャネルの形成が無く、ドレイン電流の大きさが無視できる程度に小さい場合を、MOSFETのOFF状態と呼ぶ。また、MOSFETがOFF状態からON状態に移移する時の磁性体ゲート電極100の電位を、ゲート閾電圧VTHと呼ぶ。

【0014】TMR出力V(150)の変化に対応して、MOSFETのドレイン電流ID(680)は、図2

(3)に示すように変化する。すなわち、TMR出力V(150)がゲート閾電圧VTHを越える電圧まで上昇すると、これまで、オフ状態に会ったMOSFETがオン状態となり、ドレイン電流ID(680)が急激に増加する。

両磁性体の磁化の向きが反平行であって、TMR出力V(150)がゲート閾電圧VTHを越えている間はMOSトランジスタはON状態を保つが、外部磁界800が十分大きくなり、両磁性体の磁化の向きが再び平行となる状態に近づくと、TMR出力V(150)がゲート閾電圧VTHより小さくなった瞬間に、MOSトランジスタはOFF状態へと遷移する。このような、ドレイン電流ID(680)の急峻な変化は、TMR出力V(150)の変化の増幅の結果得られる効果である。

【0015】ところで、上記、ゲート閾電圧VTHは、MOSFETのバイアス条件の設定によって変化させることができる。例えば、両磁性体の磁化が平行であってTMR出力V(150)が低い状態において、バイアス電圧U620の設定により、上記ソース電位に対する磁性体ゲート電極100の電位を調節して、あらかじめ反転層をある程度形成しておけば、軟磁性体である磁性体層200の磁化がわずかに回転しTMR出力V(150)がわずかに変化しただけで、MOSFETはON状態に移移することができる。一方、バイアス電圧U620を負にバイアスしておき、TMR出力V(150)が低い状態において、MOSFETには反転層が形成されない状態にしておけば、軟磁性体である磁性体層200が十分に回転してTMR出力V(150)が十分に大きくならない限り、MOSFETはON状態に移移しない。すなわち、図2(2)におけるゲート閾電圧VTHは、バイアス電圧U620の大きさと、接地電位に対するソース電位の設定によって、変化させることができる。言い換えれば、TMR出力V(150)、すなわち外部磁界800が、どの値を取った時点でMOSFETが反転するかは、これらのバイアス条件の設定次第で変更することができることを意味している。

【0016】この特長は、従来のMR素子が、強磁性体膜をMR素子に隣接して成膜し、磁氣的バイアスを用いて動作点を設定してきたのとは、大きく異なる点である。すなわち、本発明による磁気センサーでは、磁気バイアス用の強磁性体膜は必ずしも必要ではない。

【0017】上記ドレインバイアス端子は外部回路に接続され、ドレイン電流が、上記素子の出力信号とされる。このため、本素子の出力インピーダンスは、ソース、ドレイン間のインピーダンスで決まる。この出力インピーダンスは、上記チャネルの幅の設計や、バイアス条件によって、大きい選択範囲を持っている。したがって、本発明が解決しようとする課題のうち、(1)TMR素子と外部回路とのインピーダンス整合の問題が解決できる訳である。

【0018】また、本発明の特徴は、本来、ポリシリコン等を用いて作製されるMOSFETのゲートを、TMR効果によって電位変動する磁性体ゲート電極100に置き換えた点にあると言うこともできる。これは、TMR素子とMOSFETを個別に作製して、電圧V(150)に対応するTMR

素子の出力を、金属配線、等、によって従来のMOSFETのポリシリコンゲートに接続して、見かけ上図2の等価回路と等しい状況を実現したものとは異なっている。なぜなら、本発明による磁性体ゲート電極100とチャネルの結合が、ゲート酸化膜500を介する容量的なもののみであり、両者の電氣的接続を実現する配線が存在していないからである。この事実によって、配線の存在によって混入してくる雑音を、著しく低減させる効果が得られる。

【0019】ところで、バイアス電圧Uが印加された非磁性体層400から、トンネル酸化膜300と磁性体ゲート電極100を経由して磁性体層200へ通じる電流経路において、二つのトンネルバリアが存在する。ここで、バイアス電圧Uの分圧比 $1/(1+R2/R1)$ は、上記二つの抵抗の比 $R2/R1$ で決まり、各抵抗の絶対値によって決まるわけではない。一方、上記二つのトンネルバリアは、磁性体ゲート電極100上に形成された同一のトンネル酸化膜300によって実現されたトンネルバリアである。このため、トンネル酸化膜300の膜厚が両接合部に亘って均一であれば、上記トンネルバリアのトンネル抵抗は、ほぼ、磁性体ゲート電極100と、磁性体層200または非磁性体層400の重なり合いの度合い（すなわち、接合面積の大きさ）によって決まる。言い換えれば、トンネル酸化膜300の膜厚の均一性さえ確保されれば、バイアス電圧Uの分圧比 $1/(1+R2/R1)$ は、接合面積の比のみによって決まることになるのである。リソグラフィ技術に基づく微細加工技術を用いて、接合面積は十分精密に制御できる。したがって、素子作製時に生じるトンネル酸化膜300の平均膜厚の再現性が乏しくても、膜面内の均一性が確保されていれば、素子間のバラツキが極めて少ない分圧比 $1/(1+R2/R1)$ が得られるのである。このような特徴によって、本発明が解決しようとする課題、(2)素子間の特性ばらつきの低減、が解決できるのである。

【0020】

【発明の実施の形態】(実施例1)図2に、本発明に基づいたMOSFET型のトンネル接合型磁気抵抗効果(TMR)素子の作製プロセスを示す。図4では、左側の列に、素子作製の各段階における断面図、右側の列に平面図を描いてある。

【0021】図4(1)は、通常MOSFET作製プロセスによって、P型シリコン基板700を部分酸化して厚い酸化膜領域510を形成し、リソグラフィによってパターン化した高濃度ドープ領域（すなわち、ソース領域710及びドレイン領域720）を形成した後、薄いゲート酸化膜500を成長してパターン化し、上記高濃度ドープ領域へのコンタクトホールを作製したところを示している。

【0022】次に、図4(2)に示したように、磁性体ゲート電極100を形成し、その上に、トンネル酸化膜

300を形成する。本実施例では、上記磁性体ゲート電極100の材料物質として、Co-17at%Ptを用いた。これ以外にも、Co-Cr-Ta等のCo系合金に代表される、硬磁性体材料が、本磁性体ゲート電極100として利用できる。また、反強磁性体材料によって強磁性体材料の磁化状態を固定する効果により、硬磁性体の代わりにNi-Fe/Mn-20at%Ir/Cu/Hf/SiO₂/Si(基板)の多層構造を用いることもできる。ここで、Cu/Hfの2層は、反強磁性層Mn-20at%Irの結晶の配向性を制御する目的で導入される。

【0023】トンネル酸化膜300は、アルミニウム、の1~2ナノメートル程度の薄い金属膜を形成した後、酸素雰囲気中で酸化するか、酸素プラズマによって酸化するか、いずれかの方法で形成した。酸化膜材料としては、Si、Ge、Zr、Hf、等の金属酸化膜を使うこともできる。これらの方法によって得られるトンネル酸化膜300の膜厚は、磁性体ゲート電極100上でほぼ一様であった。さらに、磁性体層200と非磁性体層400を形成し、二つのトンネル接合を一つの磁性体ゲート電極100上に形成した。上記磁性体層200として、Ni-20at%Fe、Ni-16at%-18at%Co、Co-10at%Fe、等の軟磁性材料を用いることができる。なお、磁性体層200に、磁性体ゲート電極100に用いた硬磁性体を用いて磁性体ゲート電極100に、ここに挙げた軟磁性体材料を用いても、同様のトンネル磁気抵抗効果が得られる。次に、非磁性体層400の材料としては、通常の半導体素子に用いられる非磁性金属配線材料（たとえば、Al、W、Cu等）を用いることができる。これらの行程の後、コンタクトホール662及び642を形成し、ソース領域710及びドレイン領域720の各領域に金属配線を施し、また、磁性体層200、非磁性体層400、にも配線を施して、基板バイアス端子を除けば5端子を有する素子とした。これによって、図1に示した素子構造を実現することが出来た。

【0024】本発明による磁界センサーは、従来のTMRセンサーに比べ、その信号対雑音比が2桁以上増加した。トンネル磁気抵抗効果により、外部磁界の変化は、まず第一に、磁性体ゲート電極100の電位変化という信号を生み出す。この変化がドレイン電流を変化させ、外部磁界の変化の検出信号となる。本発明によれば、この信号発生箇所（すなわち、磁性体ゲート電極100）がMOSFET構造の中に組み込まれていることから、発生した信号は、雑音の混入を受ける間もなく、直ちに素子内で増幅されていると考えることが出来る。この事実が、上記のような大幅な信号対雑音比を実現した理由であると考えられる。

【0025】ところで、磁性体ゲート電極100に（ゲート酸化膜500を介さずに）、直接、金属配線の一端を接続し、他の一端に、磁性体-磁性体のトンネル接合と磁性体-非磁性体のトンネル接合を並列に接続して、

見かけ上、図2の等価回路と同等の状況を作り出すことは可能である。しかし、本発明による構造では、上記の作製プロセスの説明から明かなように、磁性体-磁性体のトンネル接合と磁性体-非磁性体のトンネル接合が、必ず対になって磁性体ゲート電極100上に作製されなければならないとしている点で、この状況とは異なっている。特に、この制約によって、素子間の分圧比 $1/(1+R_2/R_1)$ のバラツキが押さえられる効果が生じるのである。また、上記、金属配線の存在によって、ノイズが混入する確率が増大し、信号対雑音比の劣化につながる。

【0026】(実施例2)接合面積に対するバイアス条件について次に述べる。

【0027】図5は、実施例1とは異なる作製プロセスに基づく、本発明の第2の実施例を示す。実施例1では、ソース領域710、ドレイン領域720、磁性体層200、及び、非磁性体層400への電気的配線は、すべて独立した4本の配線としていた。ところが、本実施例では、ソース領域710と非磁性体層410を素子の内部で結びつけ、また、ドレイン領域720と磁性体層210を素子の内部で結びつけた構造を用いている。

【0028】図5において、図5(1)と図5(2)は、図4(1)及び(2)に示した作製プロセスと同じである。図5(3)において、ゲート酸化膜500とトンネル酸化膜300を貫通して、ソース領域710につながるコンタクトホール663、及び、ドレイン領域720につながるコンタクトホール643を形成し、各々に磁性体層210及び非磁性体層410を形成したものである。磁性体層210及び非磁性体層410がそれぞれ、ドレイン、ソース、のバイアス用外部回路に接続される。なお、磁性体層210及び非磁性体層410等の材料は、実施例1で示されたものを用いた。

【0029】本実施例では、ソース-ドレイン間のバイアスと、二つのトンネル接合を有するTMR素子部のバイアスが、一つの外部回路から供給される。そのため、磁性体ゲート電極100によるゲートバイアスの大きさは、直接、分圧比 $1/(1+R_2/R_1)$ で決まってしまう。そのため、あらかじめ、良好なゲートバイアスとなるようトンネル抵抗の値の比、 R_2/R_1 、を設定しておくことが必要である。前述のように、比 R_2/R_1 は、磁性体ゲート電極100と、磁性体層210または非磁性体層410の重なり合いの度合いの比、すなわち、接合面積の比によって決まる。このため、本実施例では、図5(4)に示したように、磁性体層210と非磁性体層410の幅に差をつけてあり、これらの幅の大きさの比が所望の比 R_2/R_1 と一致するよう設計されている。

【0030】本実施例により、4本の配線端子が2本に低減され、素子設計及び作製プロセスが簡略化されるメリットがあった。

【0031】(実施例3)次に、本発明のトンネル磁気抵

抗効果素子の磁気メモリーへの応用について述べる。

【0032】図6は、磁気メモリーセルを構成した、本発明の第3の実施例を示す。図6(1)～(3)は、図4及び5に示したプロセスを用い、MOSFET型トンネル磁気抵抗効果(TMR)素子を構成したことを示している。図6において、左側の列は、右側の列の平面図の中心線上での、断面図である。図6(3)では、ゲート酸化膜500を貫通したコンタクトホール663を介して、磁性体層210とソース領域710を接続し、非磁性体層420は、素子内では、ドレイン領域720に接続されておらず、ドレイン領域720への配線は、コンタクトホール642を用いて独立に行う。

【0033】本実施例では、さらに、二つのトンネル接合の上部に、絶縁体層510に埋め込まれた金属配線を設け、これを書き込み線900と呼ぶ。さらに、書き込み線900の上方に、これに直交するように配置された金属配線を施し、これを、書き込みバイアス線902と呼ぶ。これら二本の配線は、磁性体層210及び非磁性体層420に、絶縁性が確保できる範囲で出来るだけ接近して配置されており、磁性体ゲート電極100の表面から30ナノメートル程度上方に書き込み線900が形成され、さらに、その20ナノメートル上方に書き込みバイアス線902が形成されている。また、絶縁体層510にコンタクトホール645を通して、非磁性体層420にバイアスを加えるための金属配線が施され、この金属配線をワード線910と呼び、これを書き込み線900に平行に設置する。一方、コンタクトホール642を通してドレイン領域720へ金属配線が施される。この金属配線をデータ線912と呼び、上記、書き込み線900及び、ワード線910に垂直、書き込みバイアス線902に平行に配置される。また、磁性体層210及びソース領域710をバイアスするために、コンタクトホール665を通して金属配線に接続する。この金属配線を接地線914と呼び、データ線912に平行に配置する。各金属配線、すなわち、書き込み線900、書き込みバイアス線902、ワード線910、データ線912、接地線914は、すべて異なる高さで、絶縁体層510に埋め込まれている。

【0034】この磁気メモリーセルでは、1ビットの情報を磁性体ゲート電極100の磁化状態に対応させて記憶している。磁性体ゲート電極100は、書き込み線900と書き込みバイアス線902の双方に電流を流し、これによって誘導される磁界によって磁化される。磁性体ゲート電極100のこの磁化状態から磁化を反転させた状態へ遷移させるには、上記、書き込み線900と書き込みバイアス線902の双方に、逆極性電流を流せばよい。ここで、磁性体ゲート電極100の保持力を十分大きなものにしておけば、書き込み線900または書き込みバイアス線902のどちらか一方のみの電流バイアスでは、磁化が反転しない状況を作り出すことができ

る。本実施例では、磁性体ゲート電極100の材料としてコバルトを用いた。

【0035】トンネル磁気抵抗効果により、磁性体ゲート電極100の磁化状態の変化は、磁性体層200と磁性体ゲート電極100の間のトンネル抵抗 R_2 を変化させ、分圧比 $1/(1+R_2/R_1)$ を変化させる。この変化は、非磁性体層420へつながるワード線910をバイアスしたとき発生する、MOSEFETのゲート電極としての磁性体ゲート電極100の電位を変化させる。したがって、磁性体ゲート電極100の磁化状態の変化は、ドレイン領域720につながるデータ線912をバイアスして得られるドレイン電流の変化となつて、観測されることとなる。上記分圧比を適当に設定しておけば、ドレイン電流は、磁性体ゲート電極100の磁化状態に対応して、ゼロから十分大きい有限の値の二値間を変化する。したがって、上記ドレイン電流の変化が、上記磁性体ゲート電極100の磁化状態として蓄えられた1ビットの情報を担う電流信号として機能している。

【0036】複数の上記メモリーセルをアレイ状に配置し、同じ列に並ぶセルが一本の書き込み線900、及び、一本のワード線910を共有し、また、同じ行に並ぶセルが、一本の書き込みバイアス線902、一本のデータ線912、及び、接地線914を共有するように配線を行えば、いわゆるランダムアクセスメモリ(RAM)を形成することが出来る。アレイ中の特定のセルへ書き込みを行うには、まず、そのセルが属する行が共有する書き込みバイアス線902に通電し誘導磁界を発生する。この状態では、誘導磁界強度が不十分であるため、磁性体ゲート電極100の磁化は反転しない。この状態に引き続いて、上記セルの属する列が共有する書き込み線900に通電する。これによって、選択されたセル中の磁性体ゲート電極100の磁化が反転するに十分な磁界が印加でき、書き込み動作が完了する。また、アレイ中の特定のセルの情報を読み出すには、そのセルが属する列が共有するワード線910をバイアスし、その他の列のワード線は接地電位とし、かつ、そのセルが属する行が共有するデータ線912のみをバイアスし、それ以外のデータ線を接地電位とすることによって、バイアスされたデータ線912上に生じる電流信号として取り出される。

【0037】容量に蓄積される電荷によって情報を蓄える従来のDRAMに比べ、本実施例に基づく磁気メモリー素子では、磁性体ゲート電極100の保磁力によって、外部回路からの電力供給を絶っても情報が失われない点に最大の特徴がある。その意味で、本磁気メモリーセルによって構成されるRAMは、不揮発性のRAMである。一方、書き込み線900への1ナノ秒程度の電流パルス印加により、磁性体ゲート電極100の磁化状態は反転する。したがって、従来のDRAMに同等かそれ以上に高速な書き込み動作が可能である。高速の書き込み

動作が得られる点で、本発明のRAMは、不揮発性を有するフラッシュメモリを凌駕している。

【0038】なお、本発明は、米国特許第5,654,566号明細書に開示されている、磁性体とFETを用いたメモリー素子の構成とは異なった構成の磁気メモリー素子である。主な相違点は、上記米国特許の発明が、ソースドレイン間を流れる電流キャリアのスピン保存性を利用しているのに対し、本発明では、トンネル磁気抵抗効果を基本動作原理としている点で、明らかに異なる原理に基づいている。本発明による素子の構成では、トンネル磁気抵抗効果によって発生する信号が増幅されて出力されるが、上記公知例3では、FETが用いられているにも拘わらず、そのような増幅効果とそれに伴う信号対雑音比の向上は望めない。一方、一般に、トンネル磁気抵抗効果を利用した素子の特性のバラツキは、主に、トンネル酸化膜300の制御性の善し悪しに依存する。しかしながら、本発明は、制御性向上を克服する方法を与えているため、特性バラツキは大幅に改善されている。スピン保存性による動作原理を採用した上記米国特許に記載された素子では、特性バラツキの制御が可能であるかどうかは不明であり、また、少なくとも上記米国特許では、その方策が全く議論されていない。特性バラツキの低減は、磁気メモリーを多数集積化して利用するためには必要不可欠な要件であり、本発明はこの点においても優れている。

【0039】(実施例4) 次に、本発明のトンネル磁気抵抗効果素子の磁気ヘッドへの応用について述べる。

【0040】〈ヨーク型読み出し書き込みヘッド〉図7は、本発明を、磁気記録媒体への読み出し書き込みヘッドとして用いた実施例の概念図を示している。図では、主要な磁極、及び、電極構造のみを示している。読み出しヘッドは、本発明によるトンネル接合型磁気抵抗効果素子を用いた磁気センサーとヨーク型ヘッドから成っている。図7において、記録媒体はZ-X平面内に置かれ、ヘッドは記録媒体に直交するY軸に平行な方向から媒体表面にアクセスする関係となっている。再生ヘッドは、下部ヨーク構造220と上部ヨーク構造221が作る再生ギャップ230から構成され、記録ヘッドは、その上方の、磁極222と該上部ヨーク構造221からなる記録ギャップ231により構成されている。磁極222と上部ヨーク構造221の間には、記録コイル850が設けられている。

【0041】下部ヨーク構造220の一部はトンネル酸化膜300に接触しており、磁性体ゲート電極100との間に、トンネル接合を形成している。同様に、非磁性体電極401の端部も、トンネル酸化膜300に接触しており、磁性体ゲート電極100との間に、トンネル接合を形成している。磁性体ゲート電極100の下部には、ゲート酸化膜500があり、その下には、MOSトランジスタのソース及びドレインに挟まれたチャネル

部が形成されて、図1に示した実施例と同様の構成となっている。上記ヨーク構造を含むヘッド構造は、半導体プロセス技術における、酸化膜の平坦化技術及びメタライゼーション技術の組み合わせによって、容易に作製することができる。これらのヘッド構造全体は、Al₂O₃TiCなどの強度補強層540の上に張り付けられ、読み出し書き込みヘッドとして用いられる。

【0042】下部ヨーク構造220と磁性体ゲート電極100の間に形成されるトンネル接合のトンネル抵抗をR1、非磁性体電極401の端部と磁性体ゲート電極100の間に形成されるトンネル接合のトンネル抵抗をR2、とすれば、図2に示した等価回路が、本実施例においても成立する。その際、下部ヨーク構造220は、パーマロイ等の軟磁性材料から成り、実施例1における磁性体層200に相当して、記録媒体の移動（または、回転）から発生する磁界の変化に対応してその磁化の向きを変える部分である。磁性体ゲート電極100は、本実施例では、Co-17at%Pt等の硬磁性体を用いる。

【0043】本実施例の再生ヘッドとして入出力特性は実施例1と同様、下部ヨーク構造220に対するソース領域710、ドレイン領域720の電位及びこれらの電位差、及び、下部ヨーク構造220と非磁性体層電極401の間に印加されるバイアス電圧U_B20によって決められる。ドレイン領域720を流れるドレイン電流がその出力信号とされる。

【0044】ところで、本実施例を、磁気抵抗ヘッド—基礎と応用—、ジョン・シー・マリンソン (John C. Mallinson) 著、林和彦 訳、丸善、1996年、p. 74—75 (文献4) に記載された、ヨーク型MRヘッドと比較すると、特筆すべき特長が理解できる。上記文献4においては、磁気センサーとして、素子が極めて薄いMR素子を用いていることから、ヨーク構造とMR素子の結合効率が極めて低い。さらに、MR素子とヨーク構造は、その動作原理上、電気的に絶縁されていないので、ヨーク構造とMR素子には十分なギャップが必要であり、この要求が、磁束の結合効率をさらに低下させている。そのため、ヨーク構造とMR素子の組み合わせでは、ヘッド構造全体の磁気リラクタンسが高くなり、記録媒体との磁束効率は極めて低くならざるを得ない。

【0045】一方、本実施例では、下部ヨーク構造220中にギャップを持ち込んだり、厚みを薄くする、等の必要が無いことから、ヘッド構造全体の磁気リラクタンスを低く保つことができ、上述のような問題を回避することができる。

【0046】(実施例5) 本発明のトンネル磁気抵抗効果素子の磁気ヘッドへの応用についてさらに述べる。

【0047】〈シールド型読み出し書き込みヘッド〉図8は、本発明を、磁気記録媒体への読み出し書き込みヘッドとして用いた実施例の概念図を示している。図で

は、主要な磁極、及び、電極構造のみを示している。読み出しヘッドは、本発明によるトンネル接合型磁気抵抗効果素子を用いた磁気センサーとシールド型再生ヘッドから成っている。図8において、記録媒体はZ-X平面内に置かれ、ヘッドは記録媒体に直交するY軸に平行な方向から媒体表面にアクセスする関係となっている。再生ヘッドは、下部シールド250と上部シールド251が作る再生ギャップ260から構成され、記録ヘッドは、上部磁極252と上部シールド251からなる記録ギャップ261により構成されている。上部磁極252と上部シールド251の間には、記録コイル850が設けられている。

【0048】軟磁性体ゲート電極101は、上部シールド251と下部シールド250のほぼ中間に配置され、その上部にはトンネル酸化膜300が形成されており、その下部には、ゲート酸化膜500を介してMOSトランジスタのチャネル部が配置されている。硬磁性体電極255の端部は、トンネル酸化膜300に接しており、軟磁性体ゲート電極101との間にトンネル接合を形成している。同様に、非磁性体電極402の端部もトンネル酸化膜300に接しており、軟磁性体ゲート電極101との間にトンネル接合を形成している。

【0049】MOSトランジスタのソース領域710は、図8では、軟磁性体ゲート電極101の手前に描かれている。ソース領域710の一部には、トンネル酸化膜300とゲート酸化膜500を貫通するコンタクトホールが設けられている。ドレイン領域720は、図の奥手に位置し、軟磁性体ゲート電極101の背後に存在している。ソース領域710と同様、ドレイン領域720へのコンタクトホールが設けられていることは言うまでもない。この状況をさらに明確に示すために、硬磁性体電極255を含むZ-X平面に平行な断面図を図9を示す。図9において、MOSトランジスタのソース領域710及びドレイン領域720の間に形成されるチャネル部が、記録媒体を含む面と平行（すなわちZ-X平面内）に配置されることが明確に示されている。

【0050】また、図9に示すように、軟磁性体ゲート電極101、各シールド、磁極、等、の金属部は、層間絶縁層520、層間絶縁層521、及び、層間絶縁層522内に埋め込まれている。また、これら磁極及びシールド等の金属部は、半導体プロセス技術における、酸化膜の平坦化技術及びメタライゼーション技術の組み合わせによって作製される。これらのヘッド構造全体は、Al₂O₃TiCなどの強度補強層540の上に張り付けられ、読み出し書き込みヘッドとして用いられる。作製プロセスの重要部分をより明確にするために、図10に作製順序の概略を示した。図10は、記録媒体に垂直で、軟磁性体ゲート電極101の断面を含む（すなわちZ-Y平面に平行な）断面図である。図10(a)は、MOSトランジスタ上に本発明による磁気センサー部を作製

した直後の状況を示す。

【0051】MOSトランジスタは、いわゆるSOI (Silicon On Insulator) 基板上に作製される。SOI基板として、酸素打ち込みとそれに引き続く熱処理によって埋め込み酸化膜層が形成される、SIMOX (Separation by Implanted Oxygen) 基板、等、が好適である。SOI基板は、Si基板703上に形成されている埋め込み酸化膜層702と、その上部に形成される上部Si層701から成る。上部Si層701は、MOSトランジスタが形成可能であるような高品質のSi層でなければならない。トンネル酸化膜300を形成し、硬磁性体電極255及び非磁性体電極402を形成した後、これらの電極構造は、層間絶縁層520によって埋め込まれ、CMP (Chemical-Mechanical Polishing) 法、等、によって上部が平坦化される。同様な、メタライゼーションと平坦化技術によって、上部シールド251、上部磁極252、記録コイル850、等が形成され、層間絶縁層521、522に埋め込まれ、その上部に強度補強層540が形成される(図10(b)参照)。次に、Si基板703、及び、埋め込み酸化膜層702が裏面から除去される。そのためには、例えば、ヒドラジンによるSi基板703のウェットエッチング、及び、フッ酸による埋め込み酸化膜層702のウェットエッチング、等、の手段を用いることができる。その際、エッチングに対する、強度補強層540側のマスキングを行うことは言うまでもない(図10(c)参照)。その後、シールド250を裏面に形成して、プロセスを終了する(図10(d)参照)。

【0052】硬磁性体電極255と軟磁性体ゲート電極101との間に形成されるトンネル接合のトンネル抵抗をR1、非磁性体電極402と軟磁性体ゲート電極101との間に形成されるトンネル接合のトンネル抵抗をR2、とすれば、図2に示した等価回路が、本実施例においても成立する。その際、軟磁性体ゲート電極101は、パーマロイ等の軟磁性材料から成り、記録媒体の移動(または、回転)から発生する磁界の変化に対応してその磁化の向き変える部分である。硬磁性体電極255は、本実施例では、Co-17at%Pt等の硬磁性体を用いる。

【0053】本実施例の再生ヘッドとして入出力特性は実施例1と同様、硬磁性体電極255に対するソース領域710、ドレイン領域720の電位及びこれらの電位差、及び、硬磁性体電極255と非磁性体層電極402の間に印加されるバイアス電圧U620によって決められる。ドレイン領域720を流れるドレイン電流がその出力信号とされる。

【0054】外部回路とのインピーダンス整合が取れ、極めて信号対雑音比の高い(従来の100倍程度)、磁気センサー及び磁気記録再生ヘッド、が得られた。また、本発明では、その素子構造に由来して、極めて、素子間の特性バラツキが小さいという特徴を有し、この特

徴を利用して、不揮発性かつ高速(書き込み/読み出し時間は10ナノ秒程度)のメモリセル、及び、これらが集積化されたメモリアレイを作製することが出来た。

【0055】

【発明の効果】TMR素子と外部回路とのインピーダンス整合が取れ、素子間の特性ばらつきが低減された、高感度のトンネル接合型磁気抵抗効果素子が得られる。

【図面の簡単な説明】

【図1】本発明のトンネル接合型磁気抵抗効果素子の構成を示す概念図。

【図2】本発明のトンネル接合型磁気抵抗効果素子における等価回路およびその効果を示す図。

【図3】従来のトンネル接合型磁気抵抗効果素子の構成と外部回路との関係を示す図。

【図4】本発明のトンネル接合型磁気抵抗効果素子の一実施例である作製プロセスを示した図。

【図5】本発明のトンネル接合型磁気抵抗効果素子の別の実施例である作製プロセスを示した図。

【図6】本発明のトンネル接合型磁気抵抗効果素子を用いた一実施例の磁気メモリの作製プロセスを示した図。

【図7】本発明のトンネル接合型磁気抵抗効果素子をヨーク型読み出し書き込みヘッドに用いた構成を示す概念図。

【図8】本発明のトンネル接合型磁気抵抗効果素子をシールド型読み出し書き込みヘッドに用いた構成を示す概念図。

【図9】本発明の一実施例である、トンネル接合型磁気抵抗効果素子をシールド型読み出し書き込みヘッドに用いた構成の断面図。

【図10】本発明の別の実施例である、トンネル接合型磁気抵抗効果素子をシールド型読み出し書き込みヘッドに用いたヘッドの作製プロセスを示した断面図。

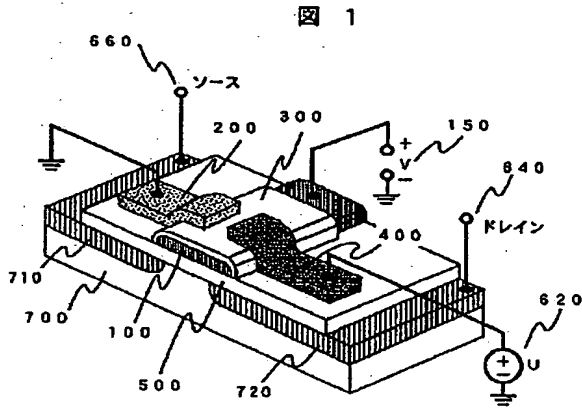
【符号の説明】

絶縁体層…310、磁性層…110、210、外部磁界…800、p型シリコン基板…700、ソース領域…710、ドレイン領域…720、ゲート酸化膜…500、磁性体ゲート電極…100、トンネル酸化膜…300、磁性体層…200、210、非磁性体層…400、410、420、バイアス電圧U…620、電圧V…150、トンネル抵抗R1…550、トンネル接合容量C1…560、トンネル抵抗R2…570、トンネル接合容量C2…580、ドレイン電流…680、コンタクトホール…662、コンタクトホール…642、コンタクトホール…663、コンタクトホール…643、665、645、絶縁体層…510、ワード線…900、データ線…910、データ線…912、接地線…914、下部ヨーク構造…220、上部ヨーク構造…221、再生ギャップ…230、磁極…222、記録ギャップ…231、記録コイル…850、非磁性体電極…401、強度補強層…540、下部シールド…250、上部シールド

17

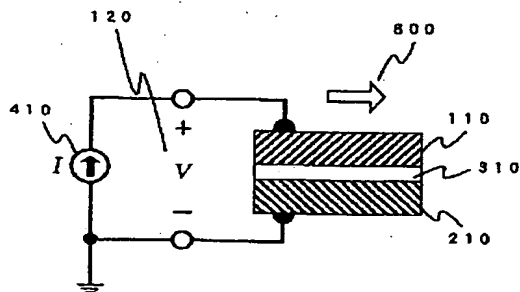
…251、再生ギャップ…260、上部磁極…252、
記録ギャップ…261、軟磁性体ゲート電極…101、
硬磁性体電極…255、非磁性体電極…402、層間絶

【図1】



【図3】

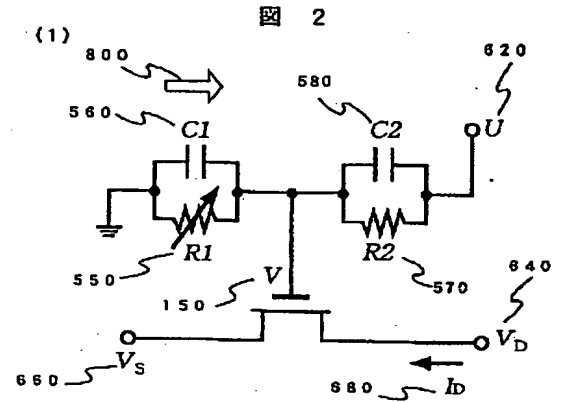
図 3



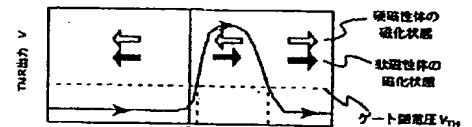
18

縁層…520、層間絶縁層…521、層間絶縁層…52
2、Si基板…703、埋め込み酸化膜層…702、上
部Si層…701、非磁性体電極…402。

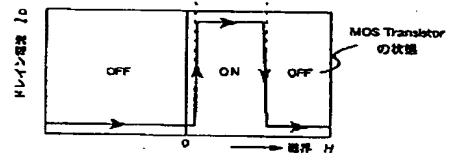
【図2】



(2)

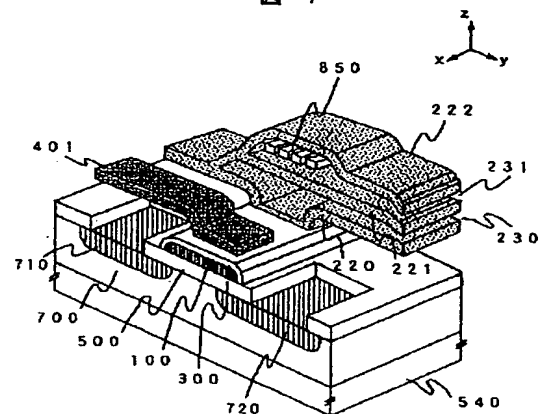


(3)



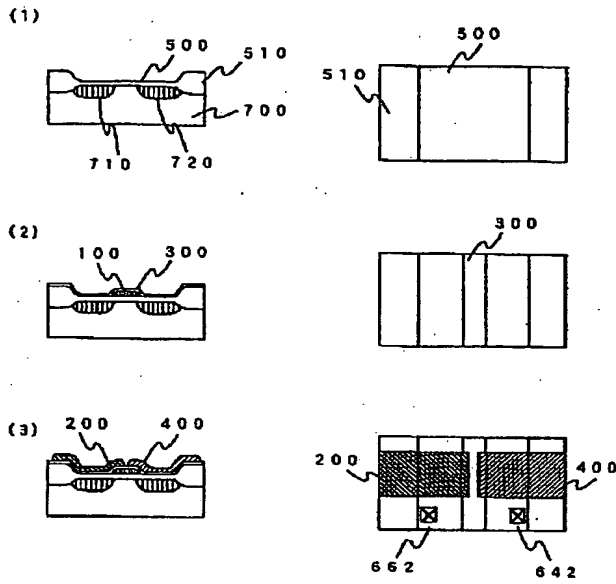
【図7】

図 7



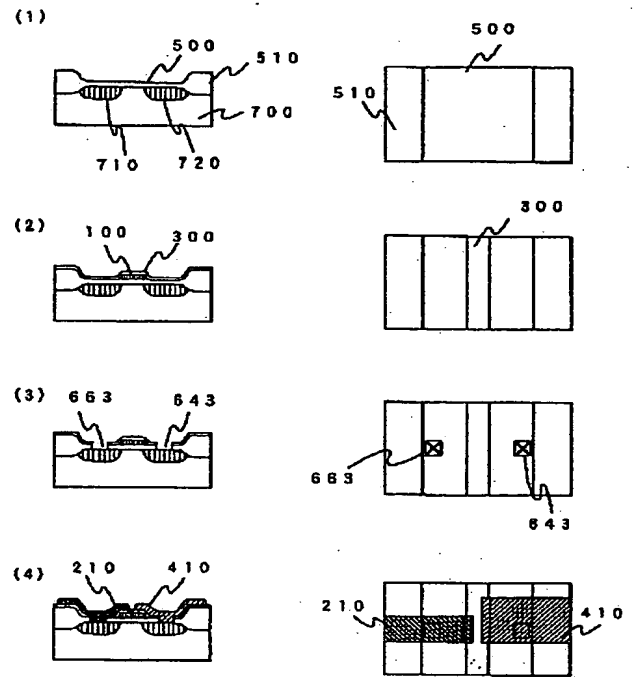
【図4】

図 4



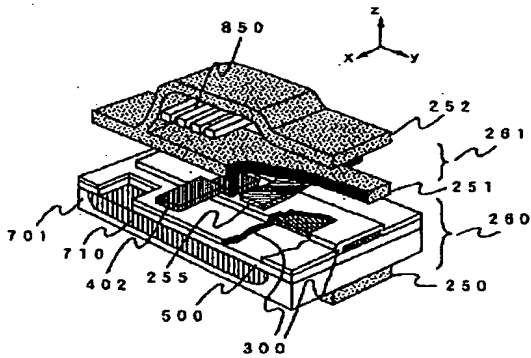
【図5】

図 5



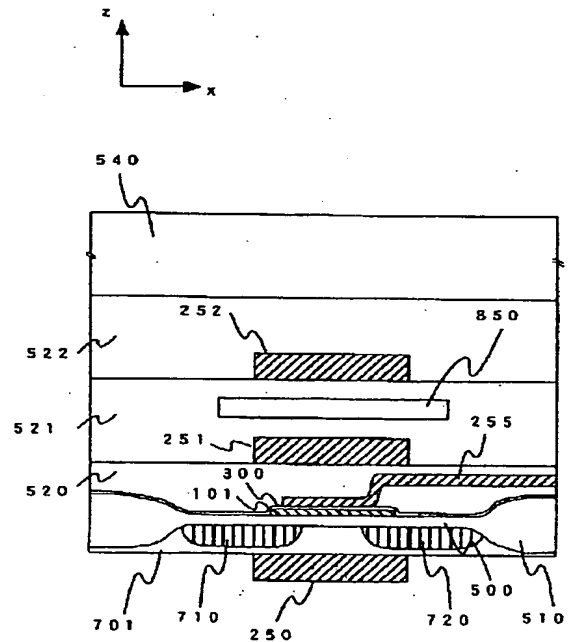
【図8】

図 8



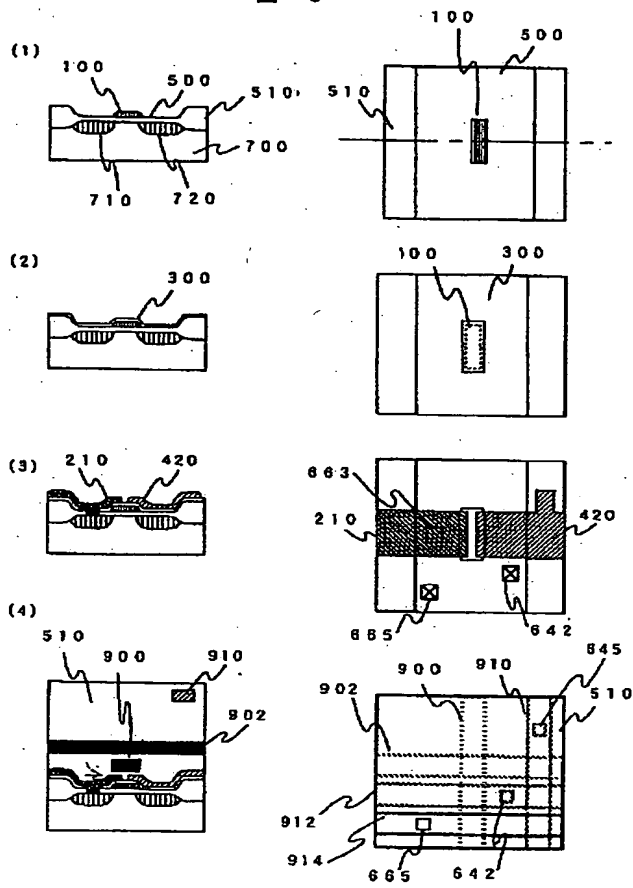
【図9】

図 9



【図6】

図 6



【図10】

図 10

